

UD2-Arquitectura i maquinari d'un sistema informàtic

NA1. Anàlisi de l'arquitectura i maquinari d'un sistema informàtic.

>> NA1.1 Arquitectura d'un ordinador.

NA1.2 Principals components del maquinari d'un ordinador.

NA1.3 Busos i ports d'expansió.

NA1.4 Targes i dispositius d'expansió.

NA1.5 Perifèrics d'un ordinador.

NA1.6 Sistemes d'emmagatzematge.

Índex

- Introducció
- Arquitectura Von Neumann
- Memòria
- Unitat Central de Procés (CPU)
 - Unitat aritmeticològica (ALU)
 - Unitat de Control (UC)
 - Registres
 - Fases en l'execució d'una instrucció
- Unitat d'Entrada/Sortida
- Busos
- Exercicis

Introducció

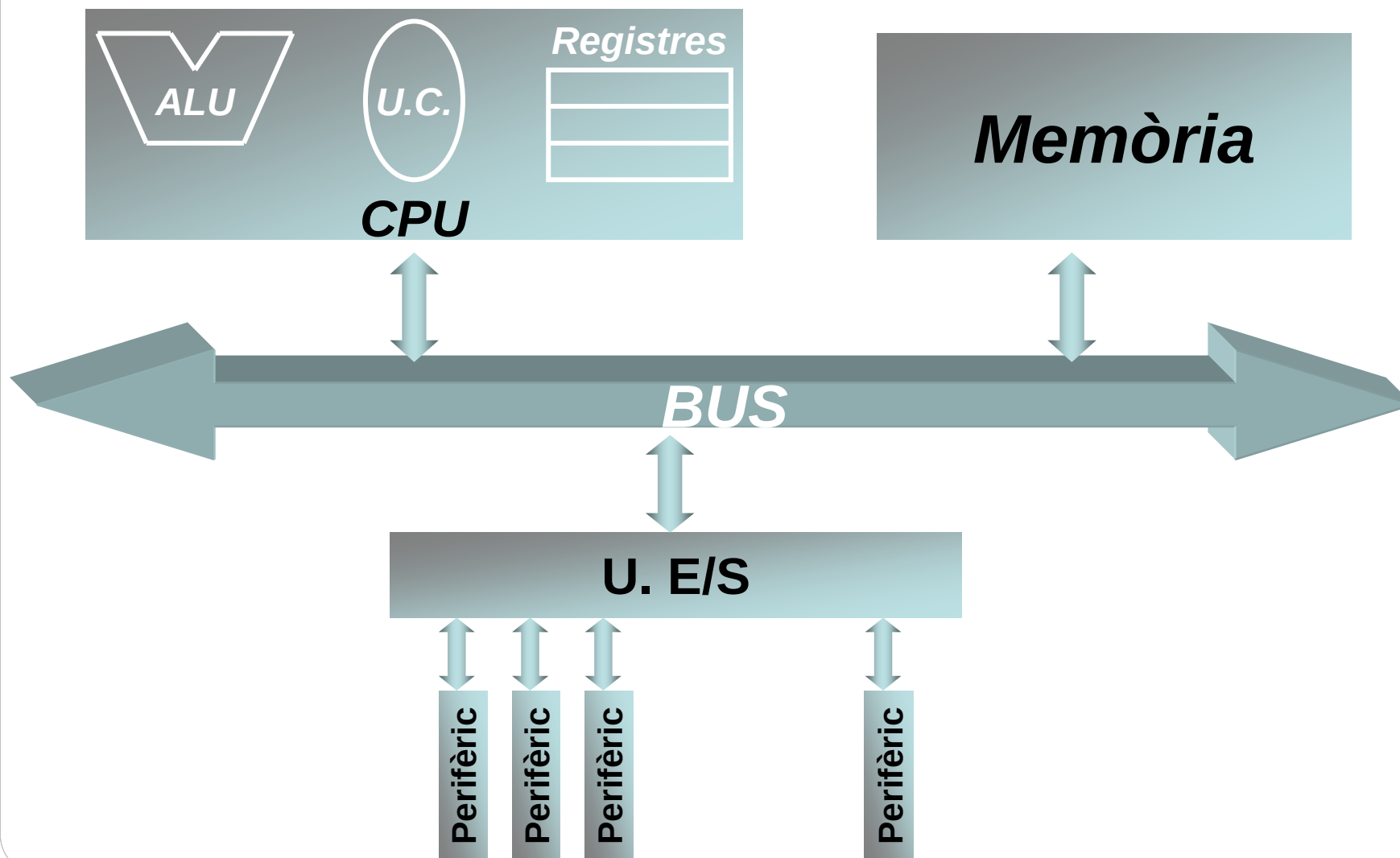
- Von Neumann (matemàtic hongarès-americà)
 - L'any 1944 desenvolupa el concepte de *programa intern* i descriu la base teòrica de construcció d'un ordinador electrònic
 - A aquesta descripció teòrica se l'anomena **model Von Neumann**



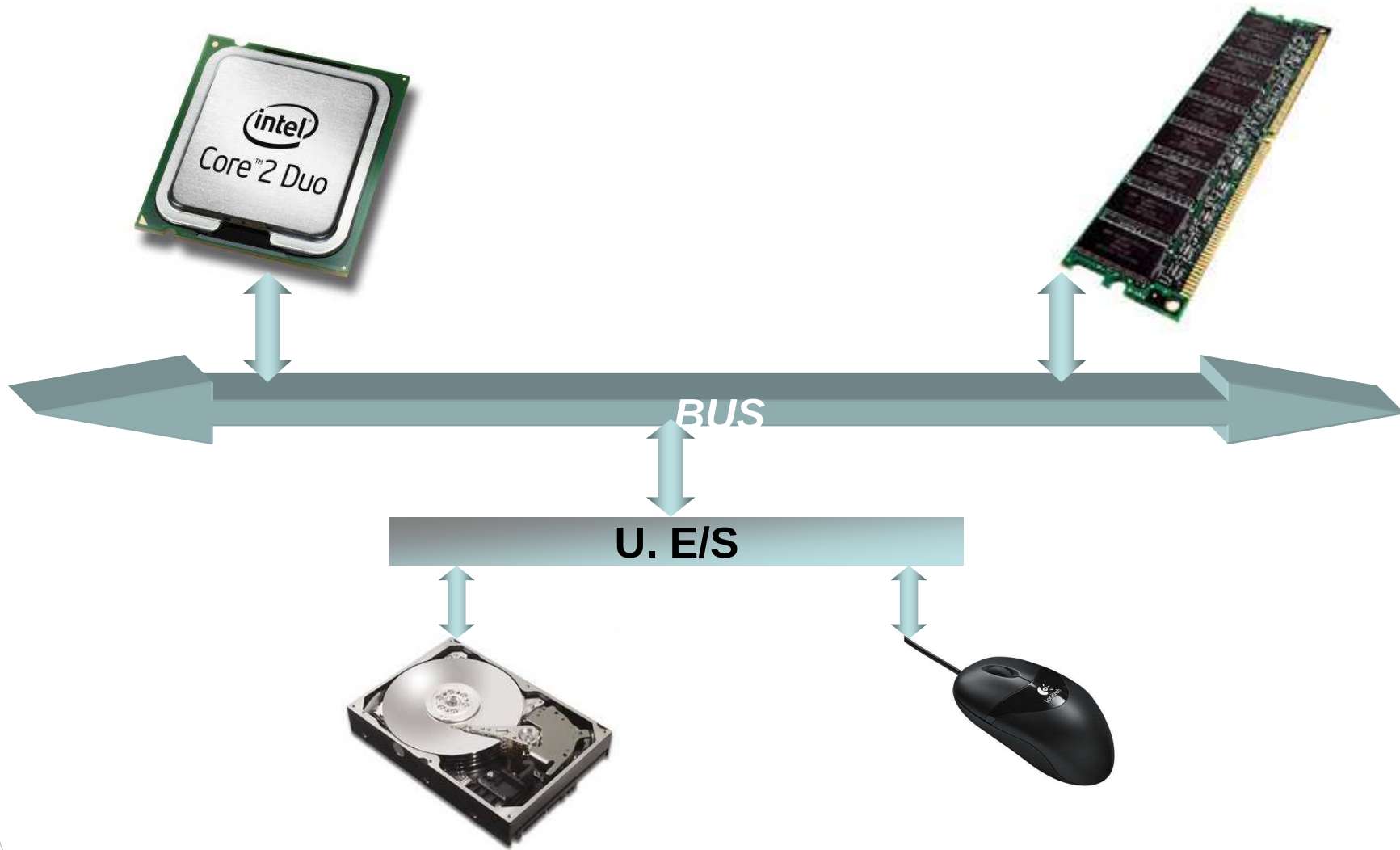
Arquitectura Von Neumann

- **Idea principal:**
 - Descriure les característiques que ha de tenir una màquina programable de propòsit general (actualment ordinador)
 - Ha de ser possible programar-lo per resoldre qualsevol problema sense haver de canviar tota la circuiteria com es feia en els primers ordinadors (concepte de programa amagatzemat)
 - S'han de connectar de forma permanent les diferents unitats de l'ordinador, coordinades per una unitat central.
- L'arquitectura Von Neumann (1947) encara la segueixen en molt bona part els ordinadors actuals i es compon de 3 unitats o mòduls bàsics:
 - Unitat central de procés, unitat de memòria i unitat d'entrada/sortida
- Aquestes unitats es comuniquen per 3 elements d'interconnexió o busos:
 - Bus d'adreces, bus de dades i bus de control

Arquitectura Von Neumann (unitats funcionals)



Unitats funcionals



Memòria

- Memòria principal o RAM (*Random Access Memory*, memòria d'accés aleatori)
- Emmagatzema:
 - Instruccions de programa a executar
 - Dades amb les que treballa el programa i que manipularà el processador
 - Qualsevol instrucció o dada primer ha d'estar a memòria abans d'arribar a la CPU

Memòria

- Formada per:
 - Caselles o posicions de memòria amb un tamany de paraula múltiple de 8 bits (1 byte, 2 bytes, 3 bytes,...)
- La memòria és **volàtil** → el contingut de la memòria es perd quan no té alimentació elèctrica
- Cadascuna de les posicions de memòria s'identifica amb un número → **adreça de memòria**
 - La unitat de control diferenciarà les posicions de memòria segons la seva adreça.

Memòria

LLENGUATGE MÀQUINA

=====

@ contingut

--- -----

101 0010 0010 0000 0001

102 0001 0010 0000 0010

103 0001 0010 0000 0011

104 0011 0010 0000 0100

201 0000 0000 0000 0010

202 0000 0000 0000 0011

203 0000 0000 0000 0100

204 0000 0000 0000 0000

LLENGUATGE ENSAMBLADOR

=====

etiq operació operand

---- ----- -----

LDA I

ADD J

ADD K

STA N

I DATA 2

J DATA 3

K DATA 4

N DATA 0

LLENGUATGE D'ALT NIVELL

=====

main()

{

int i, j, k, n;

i = 2;

j = 3;

k = 4;

n = i + j + k;

}

CPU-Unitat Central de Procés

- És el “cervell” de l'ordinador:
 - Controla i governa tot el sistema
 - Executa les instruccions dels programes
 - S'ocupa del control i procés de les dades
- Formada per:
 - La unitat aritmeticològica (**ALU**)
 - La unitat de control (**UC**)
 - Registres
 - Busos interns d'interconnexió

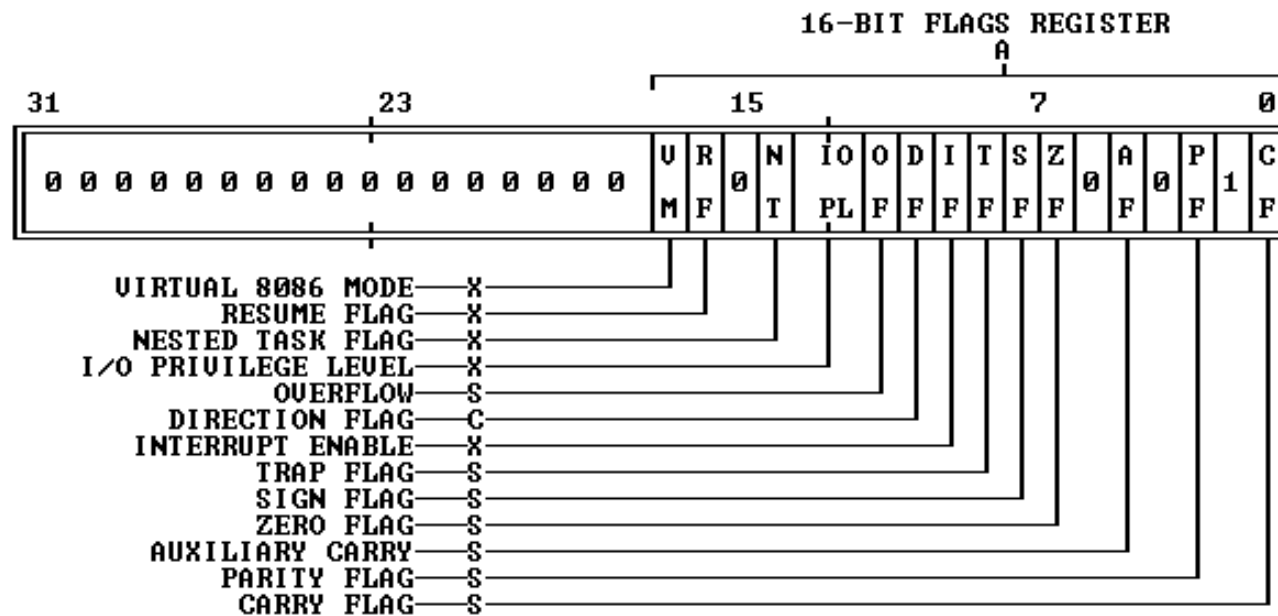
CPU. ALU

- S'encarrega de l'execució de càlculs:
 - Aritmètics: +, -, *, /,...
 - Lògica booleana: AND, OR, NOT, XOR,...
 - Comparacions: <, >, =, ≠,...
 - Desplaçaments binaris: ROR, ROL,...
- Els càlculs afecten als:
 - **Registres de propòsit general** : s'hi guarden els operants i el resultat.
 - **Registre d'estat**: bits que indiquen com ha anat l'operació executada

CPU. ALU

- Registre d'estat:

Figure 2-8. EFLAGS Register



S = STATUS FLAG, C = CONTROL FLAG, X = SYSTEM FLAG

NOTE: 0 OR 1 INDICATES INTEL RESERVED. DO NOT DEFINE

CPU. Unitat de control (UC)

- Interpreta i executa les instruccions màquina de la memòria i genera els senyals de controls necessàries per executar-les
- Components principals:
 - **Descodificador d'instrucció (DI)**
 - Extreu i analitza el codi d'operació de la instrucció que conté el RI (registre d'instrucció)
 - Genera els senyals de control necessàries per executar la instrucció
 - **Rellotge**
 - Genera un seguit d'impulsos elèctrics segons uns intervals.
 - Marca el temps d'execució de cada instrucció i el ritme de funcionament del DI
 - La velocitat es medeix en MHz (*megahertz*, milions de cicles per segon). És la mesura de velocitat amb la que la CPU fa les operacions
 - ***Si la CPU executa una instrucció en 1 cicle de rellotge, quantes instruccions podrà executar amb 1 segon si la velocitat del seu rellotge és de 1GHz??***
 - **Seqüenciador**
 - Genera ordres que sincronitzades amb el rellotge fan que una instrucció s'executi pas a pas i de manera ordenada.

CPU. Unitat de control (UC)

- Què fa la UC?
 1. Agafa de memòria la següent instrucció a executar.
 - Utilitza els registres:
 - **comptador de programa** (CP): guarda l'adreça de memòria on hi ha la següent instrucció a executar
 - **registre d'instrucció** (RI): s'hi guarda el codi de la instrucció a executar
 2. Quan sap quin és el codi d'operació, activa els circuits de l'ALU que intervindran en l'operació
 3. Agafa de memòria, les dades per executar la instrucció (llegeix la posició de memòria que conté el RI)
 4. Indica a l'ALU que faci les operacions necessàries. El resultat de les operacions s'emmagatzema en el **registre acumulador** (registre de l'ALU)
 5. S'incrementa amb 1 en contingut del registre CP → següent instrucció a executar

CPU. Registres de dades i registres especials

- Memòria interna del processador (temporal)
- Emmagatzemen dades i instruccions:
 - Les dades i les instruccions hauran de viatjar des de la memòria principal fins als registres del processador
- És una memòria molt més ràpida que la memòria principal
- Registres especials:
 - Són registres de processador especialitzats en alguns tipus de tasques:
 - Comptador de programa (CP), Registre d'instrucció (RI), Punter de pila (PP), Registre d'estat o de flags ...

Fases en l'execució d'una instrucció

- Una instrucció s'executa en 2 grans fases:
 - 1. Fase de recerca**
 - Trobar la instrucció a executar dins la memòria i portar-la dins la UC per processar-la
 - 2. Fase d'execució**
 - Dur a terme les accions indicades per les instruccions (suma, resta, comparació, etc.)

La unitat d'Entrada / Sortida

- Permet fer l'intercanvi d'informació entre l'ordinador i el món exterior:
 - Usuaris
 - Altres ordinadors
 - Màquines
 - ...
- Connecta la CPU i altres components interns amb els perifèrics d'E/S

Bus

- Camí per on circula la informació entre les diferents unitats funcionals
- Tres tipus de busos:
 - Bus de dades
 - Bus d'adreces
 - Bus de control
- La mida del bus s'indica segons un nombre de bits:
 - 16 bits, 32 bits, 64 bits

Bus de dades

- Permet intercanviar dades entre la CPU i la resta d'unitats.
- Es transmeten els bits de cop (paral·lel) o un darrera l'altre (sèrie).
- Primeres CPU
 - 8 bits
 - Només transferien 1 byte cada cicle de rellotge
- Pentium actuals i compatibles → 64 bits (8 bytes/cicle)

Bus de dades

- Es coneix com velocitat de transmissió d'un bus de dades la quantitat d'informació per segon que és capaç de transmetre. Aquesta velocitat es mesura en KB/s, MB/s, GB/s, Gbps,...
- La velocitat de transmissió d'un bus de dades es calcula a partir de l'ample del bus (mesurat en bits o bytes) i de la freqüència en que treballa el bus mesurada en Hz (cicles/segon).
- A la velocitat de transmissió se l'anomena també capacitat de transferència o ample de banda.

Bus de dades

- Exemple
 - Si un bus de dades té un ample de bus de 2 bytes i treballa a 4MHz, aleshores tindrem:
 - Velocitat de transmissió=Ample bus x Freqüència
 - 2 bytes x 4MHz= 2 bytes x 4×10^6 Hz = 8×10^6 bytes/s
 - $8 \times 10^6 / 1024$ KB/s = 7812,5 KB/s = $7812,5 / 1024$ MB/s = 7,62MB/s

Bus d'adreces

- Transmet adreces entre la CPU i memòria.
- Funciona sincronitzat amb el de dades.
- És necessari per saber les adreces de les dades que s'envien o es reben de la CPU pel bus de dades.
- Per saber la quantitat de memòria que pot adreçar la CPU, cal tenir en compte les línies (bits) que té el bus d'adreces.
- Amb un bus d'adreces de 32 bits es pot adreçar més de 4.000 milions de posicions de memòria.

Bus d'adreces

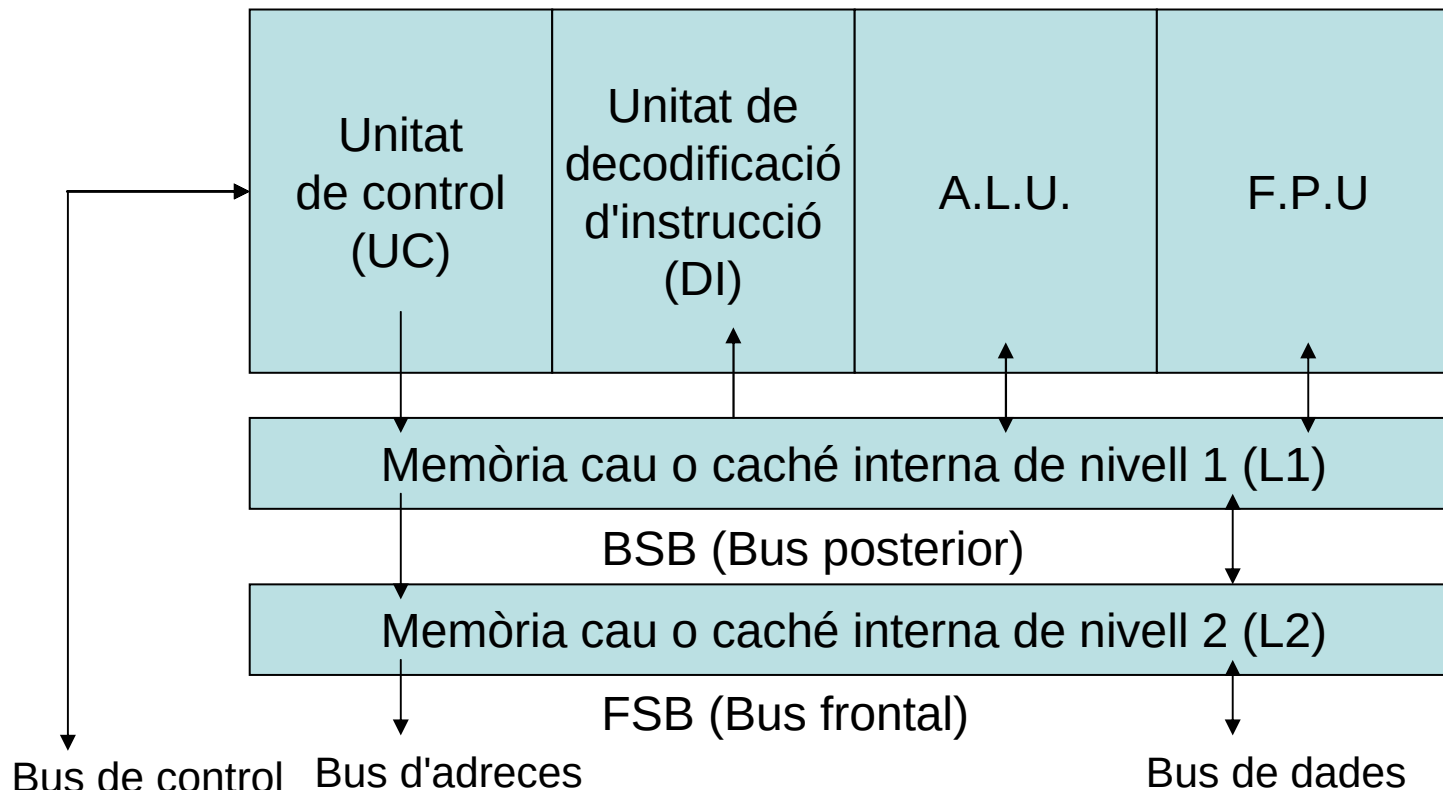
- D'un bus d'adreces ens interessa la capacitat d'adreçament, és a dir, el número total d'adreces que es capaç de manegar.
- La capacitat d'adreçament es calcula segons la següent fórmula:
 - Capacitat d'adreçament = $2^{\text{ample del bus en bits}}$
 - Per exemple un bus d'adreçament de 2 bytes té una capacitat d'adreçament de
 - 2^{16} bytes = 65535 bytes = 64KB

Bus de control

- Controla els components de la CPU.
- Genera impulsos elèctrics per controlar-los.
 - senyal d'escriptura/lectura
 - interrupcions,...

Arquitectures actuals

- Les architectures actuals es diferencien una mica del model de Von Neumann ja que afegeixen una unitat de coma flotant, caché (L1/L2), el bus frontal (FSB) i el bus posterior (BSB) a part d'oferir instruccions especials per càlculs complexes i multimèdia.



Arquitectures actuals

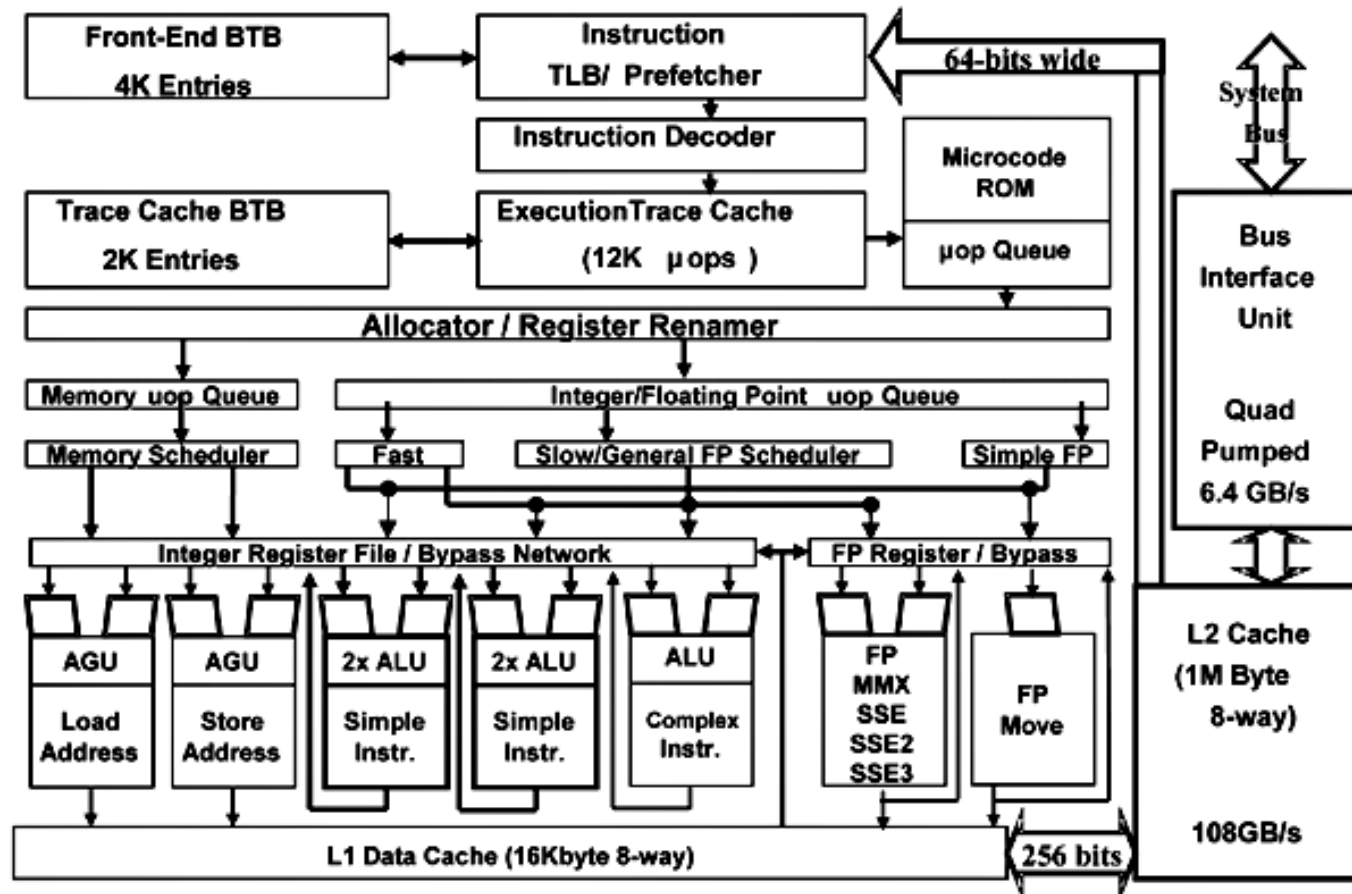
- Unitat de coma flotant (FPU):
 - És l'encarregada de manegar totes les operacions de coma flotant (números fraccionaris, operacions trigonomètriques i logarítmiques). Abans aquestes operacions les feia l'ALU o un coprocessador matemàtic però el que la FPU fa en un cicle l'ALU era més lenta i potser ho feia en cent.
- Caché de processador:
 - Amagatzema les posicions de memòria més utilitzades, incrementant la velocitat en l'adquisició de dades. Antigament estava fora del microprocessador però es va integrar dins anomenant la caché interna L1 (nivell 1) i l'externa L2 (nivell 2).
 - Actualment s'han integrat L1 i L2 dins de l'encapsulat del microprocessador (la L2 a la perifèria del nucli) anomenant a la de la placa mare L3.

Arquitectures actuals

- Bus frontal (FSB front-side bus):
 - Bus que connecta la CPU amb la placa mare. És la interfície que connecta la caché de nivell 2 del processador i la placa mare. (sol ser d'un ample de 64 bits)
- Bus posterior (BSB back-side bus):
 - És una interfície entre la caché de nivell 1, el nucli del processador i la caché de nivell 2. (sol ser d'un ample de 256 bits).
- Instruccions especials:
 - Instruccions MMX (Intel) i 3D Now! (AMD) augmenten el rendiment d'aplicacions multimèdia i 3D. Posteriorment les instruccions SSE i SSE2 han millorat les anteriors.
 - Hi ha CPUs que utilitzen instruccions CISC enlloc de les RISC
- Arquitectura superescalar, pipelining, hyperthreading, multicore (dual core/quad core) :
 - Tècniques per executar més instruccions alhora

Architectures actuals

- Esquema CPU Pentium 4 (Prescott).



Exercicis

- Quines diferències hi ha entre bus de dades, d'adreces i de control?.
- Explica els termes de: ample de bus, velocitat de transmissió i ample de banda
- Quines velocitats de transmissió (en MB/s) tenen:
 - Bus amb ample 2 bytes i freqüència 4MHz
 - Bus amb ample 5 bytes i freqüència 100MHz
- Calcula la capacitat d'adreçament dels busos de 32 i 64 bits.

Exercicis

- Busca informació detallada sobre els conceptes referents a l'arquitectura de la CPU Intel Pentium IV i AMD Athlon 64 (esquema lògic CPU, tamany bus dades/adreces, instruccions especials, tamany caché, velocitats rellotge/busos FSB/BSB...)